

6/5/1 (Item 1 from file: 351)
DIALOG(R) File 351:Derwent WPI
(c) 2004 THOMSON DERWENT. All rts. reserv.

012353554 **Image available**
WPI Acc No: 1999-159661/ 199914
XRPX Acc No: N99-116258

EPROM manufacturing method for IC - involves writing optimum write-in conditions for every chip based on write-in characteristic of every wafer of silicon chip measured after completion of diffusion process

Patent Assignee: NEC KYUSHU LTD (KYUN)
Number of Countries: 001 Number of Patents: 002
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11017155	A	19990122	JP 97164740	A	19970620	199914 B
JP 3119600	B2	20001225	JP 97164740	A	19970620	200102

Priority Applications (No Type Date): JP 97164740 A 19970620

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 11017155	A		6	H01L-027/115	
JP 3119600	B2		6	H01L-027/115	Previous Publ. patent JP 11017155

Abstract (Basic): JP 11017155 A

NOVELTY - The write-in characteristic for every wafer of silicon chip is measured after the completion of diffusion. Then, the optimum write-in conditions for every chip is written, based on the measured write-in characteristics.

USE - For IC.

ADVANTAGE - As optimum write-in conditions are set for every chip, data write-in time is reduced. DESCRIPTION OF DRAWING(S) - The figure shows a flowchart explaining of EPROM manufacturing method.

Dwg.1/6

Title Terms: EPROM; MANUFACTURE; METHOD; IC; WRITING; OPTIMUM; WRITING; CONDITION; CHIP; BASED; WRITING; CHARACTERISTIC; WAFER; SILICON; CHIP; MEASURE; AFTER; COMPLETE; DIFFUSION; PROCESS

Derwent Class: U13; U14

International Patent Class (Main): H01L-027/115

International Patent Class (Additional): G11C-016/02; G11C-029/00; H01L-021/8247; H01L-029/788; H01L-029/792

File Segment: EPI

6/5/2 (Item 1 from file: 347)
DIALOG(R) File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

06075644 **Image available**
MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT

PUB. NO.: 11-017155 A]
PUBLISHED: January 22, 1999 (19990122)
INVENTOR(s): MIZOO TOMOHITO
APPLICANT(s): NEC KYUSHU LTD
APPL. NO.: 09-164740 [JP 97164740]
FILED: June 20, 1997 (19970620)
INTL CLASS: H01L-027/115; G11C-016/02; G11C-029/00; H01L-021/8247;
H01L-029/788; H01L-029/792

ABSTRACT

PROBLEM TO BE SOLVED: To set the optimum value of the writing condition at every product and to shorten the data writing time into an EPROM, by writing the optimum writing condition for every chip into a silicon signature based on the result of the measurement of the writing

characteristic at every chip.

SOLUTION: In diffusion 11, the writing of silicon signature after the manufacture becomes the prerequisite condition. Thus, the silicon signature diffuses the product constituted of an EPROM. After this diffusion 11, the manufacturing test under the water state 13 performed by the same way for ordinary products. In this manufacturing test, measurement 12 of the writing characteristic of the EPROM is performed. Based on the result of the measurement, the setting data of the optimum writing condition are written into the silicon signature and stored, in the step 13. Since the optimum writing time is written and stored into the silicon signature for every product in this way, the writing time can be shortened when the data are written into the EPROM by using a PROM wrighter.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17155

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl. ⁸	識別記号	F I
H 0 1 L 27/115		H 0 1 L 27/10 4 3 4
G 1 1 C 16/02		G 1 1 C 29/00 6 7 3 Z
	29/00 6 7 3	17/00 6 0 1 E
H 0 1 L 21/8247		H 0 1 L 29/78 3 7 1
29/788		

審査請求 有 請求項の数 3 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願平9-164740

(22) 出願日 平成9年(1997) 6月20日

(71) 出願人 000164450

九州日本電気株式会社

熊本県熊本市八幡一丁目1番1号

(72) 発明者 溝尾 智仁

熊本県熊本市八幡1-1-1 九州日本電

気株式会社内

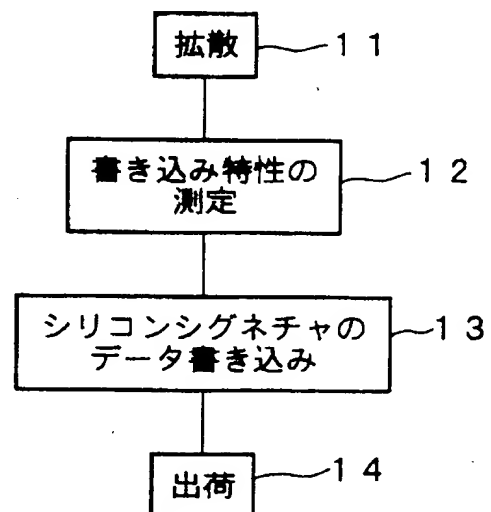
(74) 代理人 弁理士 志賀 正武

(54) 【発明の名称】 半導体集積回路の製造方法

(57) 【要約】

【課題】 製品毎に書き込み条件の最適値を設定することができ、E P R O M へのデータ書き込み時間を短縮させることのできる半導体集積回路の製造方法を提供する。

【解決手段】 情報の電氣的な書き込みが可能かつ紫外線による情報消去が可能な読み出し専用不揮発性メモリ（以下、E P R O M）、あるいはE P R O M を有する半導体集積回路の製造方法で、拡散工程11終了後に、書き込み条件が記憶されるシリコンシグネチャがE P R O M で構成された複数のチップが形成されたウェハの各チップ毎に、そのシリコンシグネチャの書き込み特性の測定を行なう測定工程12と、前記各チップ毎の書き込み特性の測定結果に基づき各チップ毎の最適な書き込み条件をそのシリコンシグネチャに書き込むデータ書き込み工程13とを備えたことを特徴とする。



【特許請求の範囲】

【請求項1】 情報の電氣的な書き込みが可能かつ紫外線による情報消去が可能な読み出し専用不揮発性メモリ（以下、EPROM）、あるいはEPROMを有する半導体集積回路の製造方法であって、

拡散工程終了後に、書き込み条件が記憶されるシリコンシグネチャがEPROMで構成された複数のチップが形成されたウェハの各チップ毎に、そのシリコンシグネチャの書き込み特性の測定を行なう測定工程と、前記各チップ毎の書き込み特性の測定結果に基づき各チップ毎の最適な書き込み条件をそのシリコンシグネチャに書き込むデータ書き込み工程とを備えたことを特徴とする半導体集積回路の製造方法。

【請求項2】 前記測定工程は、前記ウェハの各チップのシリコンシグネチャに、書き込み試験用のデータを複数回に分けて書き込み、書き込み終了毎にデータの読み出しの判断を行うことを特徴とする請求項1記載の半導体集積回路の製造方法。

【請求項3】 前記測定工程は、前記ウェハの各チップのシリコンシグネチャに、書き込み試験用のデータを複数回に分けて書き込む際に、書き込み終了後にデータの読み出し判断を行い、読み出しができれば次の書き込みを行い、読み出しができなければ再度同じ書き込みを行うことを繰り返し、書き込み回数が規定値以内であれば良品と判断し、書き込み回数が規定値を越えていれば不良品と判断することを特徴とする請求項2記載の半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路の製造方法に係り、特に、情報の電氣的な書き込みが可能かつ紫外線による情報消去が可能な読み出し専用不揮発性メモリ（以下、EPROMとも称する）、あるいはEPROMを有する半導体集積回路を製造する際に用いて好適な半導体集積回路の製造方法に関するものである。

【0002】

【従来の技術】 図4は従来のEPROMの一例を示す概念図であり、図において、21はデータを書き込むためのEPROMのメモリ領域、22はマスクROMからなるシリコンシグネチャ領域（以下、シリコンシグネチャと称する）である。シリコンシグネチャ22には、通常、EPROMにデータの書き込みを行なう場合に使用する、PROMライタ用の書き込み条件の設定データが記憶されている。この設定データとしては、メモリ容量、書き込み電圧、書き込みパルス幅等がある。

【0003】 この書き込みパルス幅というのは、メモリの最小単位である1ビットのデータを記憶するメモリセルに対しての書き込み時間のことであり、EPROM全体へのデータ書き込み時間は、この書き込みパルス幅にメモリ容量を掛けた時間に比例する。

【0004】 PROMライタは、このシリコンシグネチャ22に記憶された設定データを読み出し、その条件に従って書き込み条件の設定をし、データの書き込みを行なう。従って、このシリコンシグネチャ22はPROMライタを用いてEPROMにデータの書き込みを行なう場合には必須のものであり、そのため、従来のEPROMでは、消去できないマスクROMにより構成している。

【0005】 このマスクROMは、半導体集積回路の製造工程で情報の書き込みが行われるものであるから、シリコンシグネチャ22に記憶される設定データは、EPROMの拡散工程中に書き込まれることになり、拡散工程後にこの設定データを書き換えることはできない。

【0006】 一般に、半導体集積回路の製造工程においては、トランジスタのスレッシュホールド電圧等の回路を構成する素子の基本的な動作特性が、ある範囲のばらつきを持っており、この特性のばらつきによって、製品の動作特性も変動する。このことは、EPROMの書き込み特性についても言え、各製品毎に書き込みに必要な時間が異なっている。

【0007】 シリコンシグネチャ22の場合、マスクROMにより構成されているため、拡散工程後に設定データを書き換えることができないために、ある1つの決まった設定値にしなければならず、書き込み条件の設定データは、製品の製造工程上、最悪の特性を考慮して十分に余裕のある数値に設定しなければならない。これは、書き込み時間が短くてもよい特性の製品ができた場合でも、この最悪の条件を考慮した必要以上に長い時間で書き込みが行われるということである。すなわち、従来のEPROMでは、製品個別の書き込み時間の特性には関係なく、データ書き込みに必要な時間はメモリ容量によってのみ決まり、その時間は、最も書き込み時間の長い製品と同じであるという欠点がある。

【0008】 この欠点を改善するためには、まず、シリコンシグネチャ22が拡散工程後に書き換えられることが要求され、さらに、各製品毎に最適な書き込み時間をシリコンシグネチャ22に書き込むことが要求される。

【0009】 図5は、従来の拡散工程後の書き換えが可能なEPROMを示す概念図であり、特開昭63-240062号公報に開示されているものである。図において、31はユーザプログラム用メモリ、32はEPROMで構成されるエレクトロニック・シグネチャ・プログラム格納用メモリ（以下、シリコンシグネチャと称する）である。このEPROMでは、シリコンシグネチャ32をEPROMで構成することにより、拡散工程後にシリコンシグネチャ32を書き換えることが可能である。

【0010】 また、シリコンシグネチャ32は、機能上データの消去ができないことが要求されるが、EPROMで構成した場合、紫外線を当てるとデータが消えてし

まうので、データの書き込み後に紫外線が透過しないパッケージに封入することにより、紫外線によるデータの消去を防止している。

【0011】図6は一般的な半導体集積回路の製造工程の大まかな流れを示す概略工程図である。この製造工程では、拡散完了後に、まず、ウェハー状態で製造試験を実施し、良品となったチップのみを製品として組み立てる。組立工程中に発生した不良品をチェックするため、組立工程後に再度製造試験を実施し、最終的な良品を製品として出荷する。

【0012】EPROMの製造試験では、全メモリセルに対して書き込み及び読み出しさらに消去ができることをチェックするが、通常、この試験はウェハーの状態で行われる。これは、試験のために書き込んだデータを、出荷時には消去しておく必要があるため、データの消去を紫外線を照射することによって行なうEPROMでは、複数の製品を一括して消去することができるウェハー状態の方が効率が良いからである。

【0013】

【発明が解決しようとする課題】第1の問題点は、従来のEPROMにおいては、書き込み時間が短くて済む製品であっても、拡散工程後の製品個別の書き込み特性に関係なく、一律に最も書き込み時間の長い製品と同じ書き込み時間がかかってしまうことである。

【0014】その理由は、シリコンシグネチャ22がマスクROMにより構成されているために、拡散工程後にこの書き込み時間の設定を書き換えることができないからである。そのために、製造上どのような書き込み特性の製品ができてでも対応できるように、書き込み条件の設定データは、書き込み時間の最も長い製品に合わせた数値に設定せざるを得ない。

【0015】年々ソフトウェアが高度化、複雑化してきていることに伴って、プログラム用のメモリもより大きなものが要求されるようになってきており、EPROMについても同様の理由で、より容量の大きなものに対する要求が強くなっている。EPROMの場合には、回路の特徴から、使用する際に必ずデータの書き込みを行なう必要があり、メモリ容量が大きくなれば、当然書き込み時間も長くなっていく。

【0016】EPROMの書き込み時間は、シリコンシグネチャに記憶されている書き込みパルス幅の設定値によって決まり、同時に何ビット分のデータを書き込むかによっても変わってくるが、この書き込みパルス幅にメモリ容量を掛けた値に比例する。これは、メモリ容量が増加するに従って、全体の書き込み時間に対する書き込みパルス幅の設定値の影響が大きくなっていくことを示している。つまり、メモリ容量の増加に従って、書き込みパルス幅の最適化は、書き込み時間短縮のための有効な手段となる。

【0017】具体的な数値を例に挙げて説明すると、1

バイト単位で書き込みを行なうと仮定して、10キロバイトの書き込みを行なう場合、書き込みパルス幅の設定値が1ミリ秒であれば全体の書き込み時間は10秒になり、書き込みパルス幅の設定値が0.5ミリ秒であれば全体の書き込み時間が5秒になるので、その書き込み時間の差は5秒になる。更に容量の大きな50キロバイトの書き込みを行なう場合、書き込みパルス幅の設定値が1ミリ秒であれば50秒、書き込みパルス幅の設定値が0.5ミリ秒であれば25秒となり、その書き込み時間の差は25秒にもなる。

【0018】第2の問題点は、上記公報に開示されているEPROMの様に、シリコンシグネチャ32をEPROMで構成しただけでは、拡散工程後の製品個別の書き込み特性に関係なく、一律に最も書き込み時間の長い製品と同じ書き込み時間がかかってしまうという点が解決できないことである。

【0019】その理由は、書き込み時間を短縮するためには、書き込み条件の最適化をする必要があり、最適な書き込み条件の設定のためには、製品個別に書き込み特性の測定が不可欠になるからである。このEPROMでは、拡散工程後にデータの書き換えが可能なシリコンシグネチャ32の構成が示されているのみであり、この構成にすることにより書き込み条件の最適化のために必要な書き込み特性の測定が不要になるわけではなく、製品毎に書き込み条件の最適値を記憶させることもできない。

【0020】本発明は上記の事情に鑑みてなされたものであって、製品毎に書き込み条件の最適値を設定することができ、EPROMへのデータ書き込み時間を短縮させることのできる半導体集積回路の製造方法を提供することにある。

【0021】

【課題を解決するための手段】上記課題を解決するために、本発明は次の様な半導体集積回路の製造方法を採用した。すなわち、請求項1記載の半導体集積回路の製造方法は、EPROM、あるいはEPROMを有する半導体集積回路の製造方法であり、拡散工程終了後に、書き込み条件が記憶されるシリコンシグネチャがEPROMで構成された複数のチップが形成されたウェハーの各チップ毎に、そのシリコンシグネチャの書き込み特性の測定を行なう測定工程と、前記各チップ毎の書き込み特性の測定結果に基づき各チップ毎の最適な書き込み条件をそのシリコンシグネチャに書き込むデータ書き込み工程とを備えたものである。

【0022】請求項2記載の半導体集積回路の製造方法は、前記測定工程を、前記ウェハーの各チップのシリコンシグネチャに、書き込み試験用のデータを複数回に分けて書き込み、書き込み終了毎にデータの読み出しの判断を行うこととしたものである。

【0023】請求項3記載の半導体集積回路の製造方法

は、前記測定工程を、前記ウェハの各チップのシリコンシグネチャに、書き込み試験用のデータを複数回に分けて書き込む際に、書き込み終了後にデータの読み出し判断を行い、読み出しができれば次の書き込みを行い、読み出しができなければ再度同じ書き込みを行うことを繰り返し、書き込み回数が規定値以内であれば良品と判断し、書き込み回数が規定値を越えていれば不良品と判断することとしたものである。

【0024】本発明の半導体集積回路の製造方法では、拡散工程終了後に、書き込み条件が記憶されるシリコンシグネチャがEPROMで構成された複数のチップが形成されたウェハの各チップ毎に、そのシリコンシグネチャの書き込み特性の測定を行なう測定工程と、前記各チップ毎の書き込み特性の測定結果に基づき各チップ毎の最適な書き込み条件をそのシリコンシグネチャに書き込むデータ書き込み工程とを備えたことにより、拡散工程後に各チップ毎に書き込み条件の最適な設定データを書き込み記憶させることが可能になる。これにより、製品毎に書き込み条件の最適値を設定することが可能になり、EPROMへのデータ書き込み時間を短縮させることが可能になる。

【0025】

【発明の実施の形態】以下、本発明の半導体集積回路の製造方法の一実施形態について図面にに基づき説明する。図1は本発明の一実施形態の半導体集積回路の製造方法の流れを示す工程図である。

【0026】この工程では、拡散工程終了後に書き込みが可能で、書き込み後消去できない素子を用いて構成されたシリコンシグネチャを有するEPROMを使用する。拡散（拡散工程）11は、シリコンシグネチャが製造後に書き込めることが前提条件となるので、シリコンシグネチャがEPROMで構成された製品を拡散する。

【0027】この拡散11後、通常の製品と同様に、ウェハ状態での製造試験を実施するが、この製造試験の際に、EPROMの書き込み特性の測定12を実施し

（測定工程）、その測定結果に基づき、最適な書き込み条件の設定データをシリコンシグネチャに書き込み13記憶させる（データ書き込み工程）。その後、従来と同様の工程を経て、最終的な良品を製品として出荷14する。この書き込み特性の測定12は、従来より行われている、ウェハ状態でのメモリセルへの書き込み試験の際に同時に実施することが可能である。

【0028】ここで、EPROMの構造及びデータの書き込み方法について説明する。図2はEPROMのセルとなるトランジスタの断面図であり、通常、EPROMのメモリセルは、このトランジスタ1個で構成されている。このトランジスタの特徴は、フローティングゲート42と称される電気的に絶縁された電極が、ゲート41の下に存在する点である。EPROMに対してデータを書き込むということは、このフローティングゲート42

に電子を蓄積することである。なお、同図中、43はソース、44はドレイン、45は絶縁膜、46はシリコン基板である。

【0029】EPROMにデータを書き込む際、電気的に絶縁されたフローティングゲート42に電子を蓄積するために、トランジスタのソース43とドレイン44間に高電圧を印加し、チャネル領域に発生する2次電子を、ゲート41に高電圧を印加することによって、フローティングゲート42中に引き込んでいる。したがって、同一のトランジスタに同じ電圧を印加して書き込みを行なう限り、フローティングゲート42に蓄積される電子の量は、単純に書き込み時間に比例する。また、書き込み時間は、連続している必要はなく、断続的であっても同じ時間書き込みを行えば、フローティングゲート42に蓄積される電子の量は同じになる。

【0030】次に、書き込み特性の測定方法について図3に基づき説明する。図3は、書き込み特性の測定方法を示す流れ図であり、従来のウェハ状態でのメモリセルに対する書き込み試験は、書き込みができることの確認が目的であったので、完全にデータが書ける時間で書き込みを行っていたのに対し、本実施形態では、この書き込みを短時間で複数回に分けて実施する。

【0031】この測定方法では、開始（図中501）後、まず、書き込み回数nの計数値（以下、カウントと称する）を初期化する（図中502）。次に、メモリセルへのデータ書き込みを行なう（図中503）。ただし、この書き込みに要する時間は従来の書き込み時間より短い、ある特定の単位時間で実施する。次に、書き込み回数nのカウントを1つ増やす（図中504）。

【0032】次に、データの読み出しチェックを行い（図中505）、充分なデータの書き込みができていなければ、NGへ分岐し（図中507）、書き込み回数nが規定値Aを越えているか否かの判断を実施する（図中510）。この判断は、書き込み不良品あるいは読み出し不良品の判定のための判断である。

【0033】不良品であった場合には、何度書き込み動作を繰り返しても正常に読み出せることはないので、無限に書き込みを繰り返すことのないように、書き込み回数nが規定値Aを越えた時点で不良品と判断してNOへ分岐し（図中512）、不良品と判定し（図中513）、終了する（図中509）。一方、この判断で書き込み回数nが規定値Aを越えていなければ、書き込みが不十分と判断してYESに分岐し（図中511）、再びメモリセルへのデータ書き込み（図中503）以降の動作を行なう。

【0034】データの書き込みを何回か繰り返した後にデータの読み出しチェックを行い（図中505）、正常にデータの読み出しができたならOKへ分岐し（図中506）、書き込み時間の計算を行なう（図中508）。書き込みは予め設定した単位時間で実施しているので、こ

の単位時間に書き込み回数を掛ければ、その製品の書き込みに必要な時間が求められ、その値の基づいてシリコンシグネチャに書き込み条件データを書き込み記憶させれば、製品毎に最適な書き込み条件データを設定することができる。

【0035】ここで、この書き込み特性の測定方法について、数値を挙げて更に具体的に説明する。まず、全メモリセルに対して0.1ミリ秒で書き込みを行い、読み出しのチェックを行なう。全てのメモリセルで読み出しが正常にできなければ、再び0.1ミリ秒で書き込みを

実施し、再度読み出しのチェックを行なう。この操作を、全メモリセルで読み出しが正常にできるまで繰り返す。

【0036】一例として、ある製品でこの書き込みを10回実施した後に、全メモリセルの読み出しが正常にできたとすると、この製品の書き込み時間は、0.1ミリ秒掛ける10回で、1ミリ秒ということになる。したがって、書き込みパルス幅の設定は、1ミリ秒にすればよいことがわかり、この値をシリコンシグネチャに書き込み記憶させる。この例では、シリコンシグネチャがE

PROMで構成されているので、書き込み条件の設定データを書き込み記憶させた後に、データが消去されないように紫外線が透過しないパッケージに封入する必要がある。

【0037】本実施形態の半導体集積回路の製造方法によれば、各製品毎に、最適な書き込み時間の設定値をシリコンシグネチャに書き込み記憶させているので、PROMライタを用いてEPROMへデータの書き込みを行なう場合に、従来のEPROMに比べて、書き込み時間を短縮することができる。

【0038】

【発明の効果】以上説明した様に、本発明の半導体集積回路の製造方法によれば、拡散工程終了後に、書き込み条件が記憶されるシリコンシグネチャがEPROMで構成された複数のチップが形成されたウェハの各チップ毎に、そのシリコンシグネチャの書き込み特性の測定を行なう測定工程と、前記各チップ毎の書き込み特性の測定結果に基づき各チップ毎の最適な書き込み条件をそのシリコンシグネチャに書き込むデータ書き込み工程とを備えたので、拡散工程後に各チップ毎に書き込み条件の最適な設定データを書き込み記憶させることができる。したがって、製品毎に書き込み条件の最適値を設定する

ことができ、EPROMへのデータ書き込み時間を短縮させることができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態の半導体集積回路の製造方法の流れを示す工程図である。

【図2】 EPROMセルの断面図である。

【図3】 書き込み特性の測定方法を示す流れ図である。

【図4】 従来のEPROMの一例を示す概念図である。

【図5】 従来の拡散工程後の書き換えが可能なEPROMを示す概念図である。

【図6】 一般的な半導体集積回路の製造工程の大きな流れを示す概略工程図である。

【符号の説明】

11 拡散(拡散工程)

12 EPROMの書き込み特性の測定(測定工程)

13 シリコンシグネチャへのデータ書き込み(データ書き込み工程)

14 出荷

41 ゲート

42 フローティングゲート

43 ソース

44 ドレイン

45 絶縁膜

46 シリコン基板

501 開始

502 書き込み回数nのカウントを初期化

503 メモリセルへのデータ書き込み

504 書き込み回数nのカウント

505 データの読み出しチェック

506 正常にデータの読み出しができた場合の分岐

507 充分なデータの書き込みができていない場合の分岐

508 書き込み時間の計算動作

509 終了

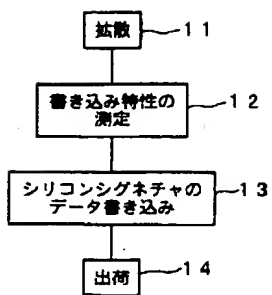
510 書き込み回数nが規定値Aを越えているか否かの判断

511 書き込み回数nが規定値Aを越えていない場合の分岐

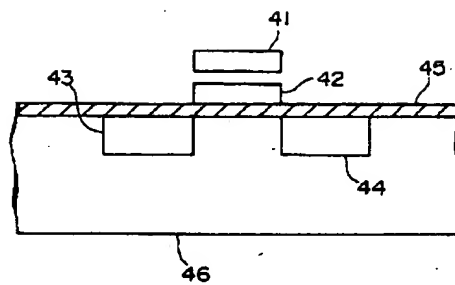
512 書き込み回数nが規定値Aを越えた場合の分岐

513 不良品の判定

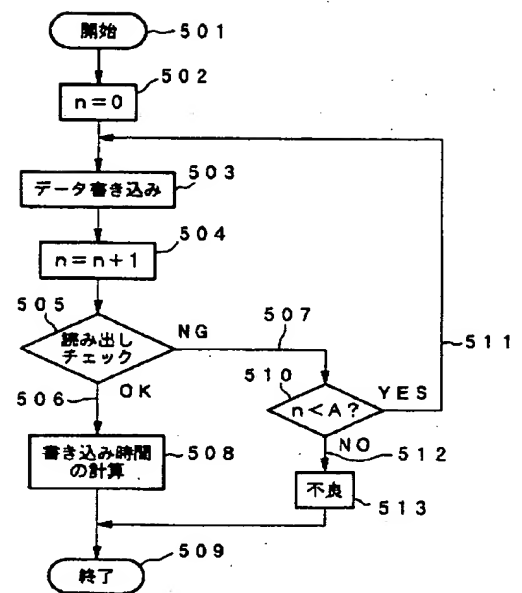
【図1】



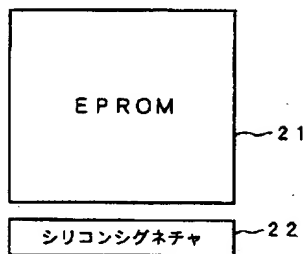
【図2】



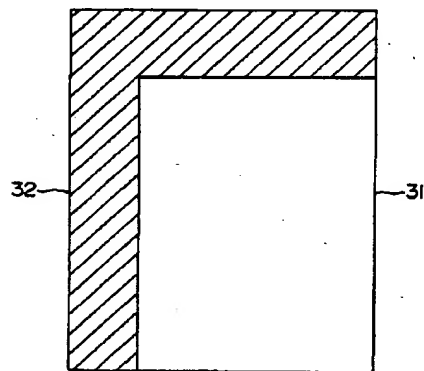
【図3】



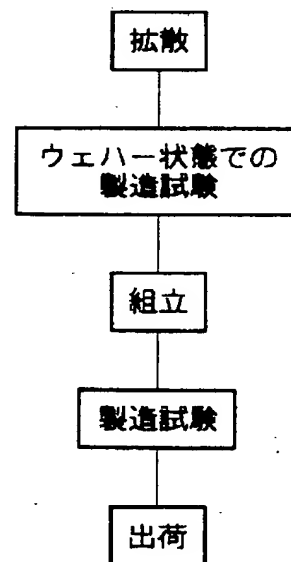
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl.⁶
H01L 29/792

識別記号

F I